



DEUTSCHES
PATENTAMT

⑳ Aktenzeichen: P 39 11 407.4
㉑ Anmeldetag: 7. 4. 89
㉒ Offenlegungstag: 11. 10. 90

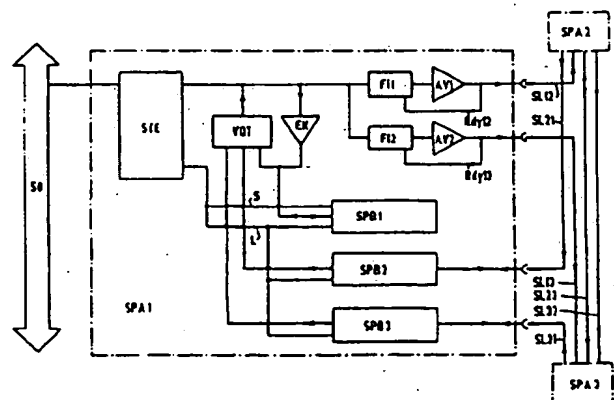
DE 39 11 407 A 1

㉓ Anmelder:
Siemens AG, 1000 Berlin und 8000 München, DE

㉔ Erfinder:
Lehmann, Ulrich, Dipl.-Ing. (FH), 6729 Wörth, DE;
Weinert, Albrecht, Dr.-Ing., 7500 Karlsruhe, DE

⑤④ Redundantes Rechnersystem

Es sind redundante Rechnersysteme mit mehreren jeweils mindestens einen Speicher enthaltenden Rechnern bekannt, in denen gleiche Programme unabhängig bearbeitet werden und die gleiche Daten in die in ihnen enthaltenen Speicher eintragen und aus diesen lesen. Erfindungsgemäß ist in jedem Speicher jedem Rechner ein Bereich (SPB1, SPB2, SPB3) zugeordnet. Die Rechner tragen in die ihnen zugeordneten Speicherbereiche die Daten ein. Jeder Rechner liest die Daten aus den Bereichen seines Speichers quasiparallel aus, wobei sie in einem Voter (VOT) auf Gleichheit überwacht und gegebenenfalls korrigiert werden. Die Erfindung wird angewandt bei Prozeßsteuer- und -leitsystemen.



DE 39 11 407 A 1

Beschreibung

In Datenverarbeitungsanlagen mit besonderen Anforderungen an Sicherheit und Verfügbarkeit, z. B. in der Prozeß- und Fertigungsleittechnik, werden redundante Systeme in n-von-n- bzw. n-von-m-Technik eingesetzt. In solchen Systemen müssen die Teilsysteme synchronisiert sowie Fehler erkannt und gemeldet werden, und zwar sowohl bei der Programmbearbeitung in den Zentralteilen als auch beim Datenverkehr mit der Peripherie oder anderen Systemen. Die Synchronisierung kann ausschließlich mittels Software- oder Hardwaremaßnahmen, aber auch durch gemischte Anwendung von Software- und Hardwaremitteln erreicht werden. Entsprechendes gilt für die Ermittlung und Behandlung von Fehlern.

Aus der DE-OS 27 25 922 ist ein redundantes Mehrrechnersystem bekannt, in dem alle Rechner die gleichen Informationen erarbeiten. Die erarbeiteten Informationen werden erst am Ende jeweils eines Rechenzyklus zur Prüfung auf Verarbeitungsfehler miteinander verglichen, wenn alle Rechner oder eine Mehrheit der Rechner zu einem Ergebnis gelangt sind. Die Einzelrechner arbeiten somit im wesentlichen asynchron; sie werden nur noch zum Vergleich der Ergebnisse kurzzeitig synchronisiert.

In der DE-OS 29 31 280 ist eine redundante Steueranordnung beschrieben, in der zwei asynchron arbeitende Rechner, die gleiche Daten nach übereinstimmenden Programmen verarbeiten, dadurch synchronisiert werden, daß die von den Rechnern ausgegebenen Daten in Majoritätsgliedern (Votern) logisch verknüpft, auf die Rechner rückgeführt und von diesen mit Sollwerten verglichen werden. Stimmen Sollwerte und Rückmeldesignale überein, wird die Programmbearbeitung fortgesetzt. Wird innerhalb einer vorgegebenen Zeit keine Übereinstimmung festgestellt, wird ein Fehlersignal abgegeben.

Die bekannten asynchron arbeitenden, redundanten Rechnersysteme vergleichen die Ergebnisse der Einzelrechner nur dann, wenn Daten ausgegeben werden. Dies geschieht nur in größeren Zeitabständen. Es kann dann nur noch festgestellt werden, daß ein Rechner fehlerhaft gearbeitet hat; der Fehler muß dann, sofern dies überhaupt noch möglich ist, mit gesonderten Tests lokalisiert werden.

Der vorliegenden Erfindung liegt die Aufgabe zugrunde, ein asynchron arbeitendes, redundantes Rechnersystem zu schaffen, dessen einzelne Rechner auch nach internen Bearbeitungsschritten eines Programms, also wenn keine Daten nach außen abgegeben werden, auf einwandfreie Funktion überwacht werden.

Erfindungsgemäß wird diese Aufgabe mit den im kennzeichnenden Teil des Anspruchs 1 angegebenen Maßnahmen gelöst.

Mit dem neuen Rechnersystem können Fehler der einzelnen Rechner frühzeitig erkannt und eingegrenzt werden. Eine weitere Eingrenzung von Fehlern und noch frühzeitigeres Erkennen ist dann möglich, wenn die Daten auch beim oder vor dem Einschreiben in die Speicher miteinander verglichen werden.

Anhand der Zeichnung, die das Blockschaltbild eines Ausführungsbeispiels zeigt, werden im folgenden die Erfindung sowie Ausgestaltungen und Ergänzungen näher beschrieben und erläutert.

Als Ausführungsbeispiel ist ein redundantes Rechnersystem gewählt, das nach der 2-von-3-Technik arbeitet, d. h., es sind drei Einzelrechner vorhanden mit je einem

Prozessor und einem Speicher, die übereinstimmend aufgebaut sind und gleiche Programme unabhängig voneinander bearbeiten. Ihre Ergebnisse werden miteinander verglichen, und es werden Mehrheitsentscheidungen getroffen und gegebenenfalls Fehlermeldungen abgegeben. Die Prozessoren sind nicht erfindungswesentlich und daher nicht dargestellt. Andere n-von-m- oder n-von-n-Systeme können entsprechend aufgebaut sein.

Mit SPA 1, SPA 2, SPA 3 sind die drei zu den Einzelrechnern gehörenden Speicheranordnungen bezeichnet. Da sie übereinstimmend aufgebaut sind, ist nur das Blockschildbild von einer Speicheranordnung SPA 1 dargestellt. Der Speicher jeder Speicheranordnung SPA 1, SPA 2, SPA 3 ist in drei Bereiche SPB 1, SPB 2, SPB 3 aufgeteilt, die je einem Rechner zugeordnet sind. Schreibvorgänge werden vom jeweiligen Rechner über einen Systembus SB an eine Speichersteuerung STE gegeben, welche die Funktionen der Busanschaltung, der Adressendekodierung und der Erzeugung der Schreib- und Lesebefehle ausübt. Die Speicherschreibvorgänge werden verdreifacht. Zum einen werden die einzuschreibenden Daten über einen Entkoppler EK in den Speicherbereich SPB 1 eingetragen, zum anderen über Ausgabeverstärker AV 1, AV 2 über Leitungen SL 12, SL 13 auf die Speicheranordnungen SPA 2, SPA 3 gegeben und dort in jeweils einen Speicherbereich eingetragen. Da die drei Rechner gleiche Programme bearbeiten, erzeugen auch die Speicheranordnungen SPA 2, SPA 3 im fehlerfreien Normalfall übereinstimmende Schreibbefehle und einzuschreibende Daten für die jeweils beiden anderen Speicheranordnungen. Der Schreibbefehl und die Daten der Speicheranordnung SPA 2 werden der Speicheranordnung SPA 1 über eine Leitung SL 21 zugeführt, so daß der Speicherbereich SPB 2 beschrieben wird. Entsprechend wird der Speicherbereich SPB 3 über eine Leitung SL 31 von der Speicheranordnung SPA 3 beschrieben. In gleicher Weise werden von der Speicheranordnung SPA 2 Daten in einen Speicherbereich der Anordnung SPA 3 über eine Leitung SL 23 und umgekehrt Daten von der Speicheranordnung SPA 3 in einen Bereich der Speicheranordnung SPA 2 über die Leitung SL 32 eingetragen. Im störungsfreien Fall sind daher die gleichen Daten neunfach vorhanden. Den Ausgabeverstärkern AV 1, AV 2 können sogenannte FIFO-Speicher F 11, F 12 vorgeschaltet sein, welche die in die jeweils anderen Speicher einzutragenden Daten puffern. In sie können Daten unmittelbar eingetragen werden; es brauchen nicht die Quittungssignale von den jeweils anderen Speichern abgewartet zu werden, bis die Programmbearbeitung fortgesetzt werden kann. Die Quittungssignale werden den anderen Speicheranordnungen SPA 2, SPA 3 im Falle der Speicheranordnung SPA 1 über die Leitungen SL 21, SL 31 zugeführt und dort über Leitungen, die den Leitungen Rdy 12, Rdy 13 in der Speicheranordnung SPA 1 entsprechen, den Takteingängen der FIFO-Speicher, worauf diese die nächsten Daten an die Ausgabeverstärker ausgeben. Auch diese Vorgänge laufen in allen drei Speicheranordnungen SPA 1, SPA 2, SPA 3 in gleicher Weise parallel, aber nicht streng synchron ab. Die asynchrone Arbeitsweise der Rechner bleibt daher erhalten.

Die Speicher-Lesebefehle werden ebenfalls vom zugehörigen Prozessor über den Systembus SB der Speichersteuerung STE zugeführt, während aber beim Schreiben von Daten die Speichersteuerung nur den Bereich SPB 1 des eigenen Speichers anspricht, adres-

siert sie beim Lesen alle drei Bereiche *SPB 1*, *SPB 2*, *SPB 3* gleichzeitig. Die ausgelesenen Daten werden einem Voter *VOT* zugeführt, der eine Mehrheitsentscheidung trifft und eine etwaige Abweichung der zugeführten Daten als Fehler meldet. Das Ausgangsdatum des Voters *VOT* und die Fehlermeldung werden über die Speichersteuerung *STE* auf den Systembus *SB* gegeben. Die Mehrheitsentscheidung und Fehlererkennung sowie Lokalisierung durch den Voter *VOT* wird ohne zusätzlichen Software- oder Zeitaufwand ausgeführt. Im fehlerfreien Normalfall hat die Aufteilung der Speicher in jeweils drei Bereiche und die Verknüpfung der ausgelesenen Signale in Votern keinen Einfluß auf die Software, da für diese das Schreiben in drei verschiedene Speicher und das Lesen aus drei Speicherbereichen nicht erkennbar ist, vielmehr die Schreib- und Lesevorgänge wie die in bzw. aus einem normalen einfachen Speicher ablaufen.

Patentansprüche

20

1. Redundantes Rechnersystem mit mehreren Prozessoren, in denen gleiche Programme unabhängig bearbeitet werden und die gleiche Daten in zugeordnete Speicher eintragen und aus diesen lesen, dadurch gekennzeichnet, daß in jedem Speicher jedem Rechner ein Speicherbereich (*SPB 1*, *SPB 2*, *SPB 3*) zugeordnet ist, daß jeder Rechner gleiche Daten in die ihm zugeordneten Speicherbereiche einträgt und daß jeder Rechner aus den Bereichen des ihm zugeordneten Speichers die Daten quasi-parallel ausliest und daß die ausgelesenen Daten über einen Voter geführt werden.
2. Rechnersystem nach Anspruch 1, dadurch gekennzeichnet, daß die in die Speicher der jeweils anderen Rechner eingeschriebenen Daten über FI-FO-Speicher geführt werden.

Hierzu 1 Seite(n) Zeichnungen

40

45

50

55

60

65

